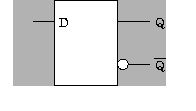
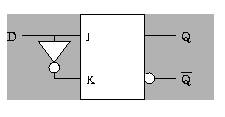
PROBLEMAS DEL TEMA 9

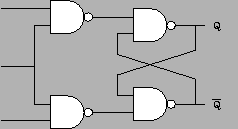
# Obtener un biestable D a partir de un JK.



**Solución:**

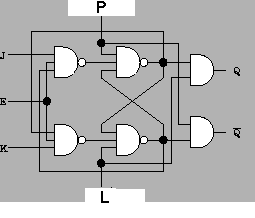


# Obtener la TV del circuito de la figura e indicar que de clase de circuito se trata

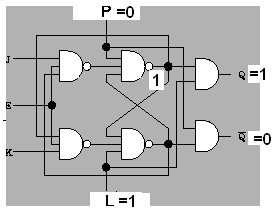


**Solución:** Biestable SR con entrada de habilitación a nivel alto

# En el biestable JK de la figura para que sirven las entradas asínconas P y L



**Solución**: /clear y /preset.



Si P=0 (activo a nivel bajo) y L=1 (inactivo). P=0 fuerza la NAND a un “1” de salida Q

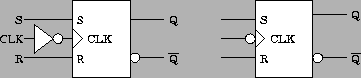
Si P=1 (inactivo) y L=0 (activo). L=0 fuerza la NAND a un “1” de salida /Q

# Dado un biestable SR con entrada de reloj disparada por flanco positivo, construir un biestable SR que esté disparado por flanco negativo

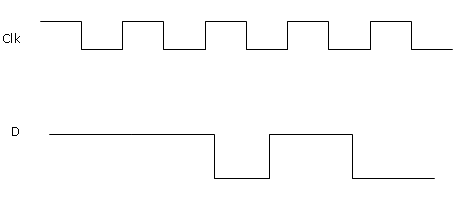


**Solución:**

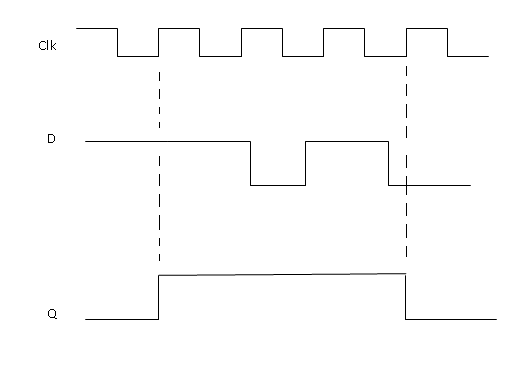
Para construir un flip-flop disparado por flancos negativos sólo tenemos que invertir la señal de reloj antes de utilizarla en el circuito detector de flancos negativos



# El esquemático de la figura representa a un Flip-Flop tipo D síncrono, Indique como sería la señal de salida si los datos de entrada y la señal de reloj son como se indica en la figura.



**Solución:**



# En la figura se visualiza el bloque lógico de un flip-flop tipo D . Indique su tabla de verdad y analice su comportamiento explicándolo de forma precisa y escueta.



**Solución:**

Cuando la entrada de habilitación E está en ALTO, la entrada D producirá un nivel BAJO en ambas entradas SET’ y RESET’ del latch NAND, para hacer que Q tenga el mismo nivel que D. Si D cambia mientras E esté en ALTO , Q seguirá los mismos cambios de D.

Cuando E cambie a BAJO, la entrada D quedará inhibida, las entradas del latch se mantendrán en ALTO y Q se mantendrá en el nivel que tuviere.

|  |  |  |
| --- | --- | --- |
| **Tabla Verdad latch D** | | |
| **E** | **D** | **Q** |
| **0** | **X** | **Q0** |
| **1** | **0** | **0** |
| **1** | **1** | **1** |

# Sobre el diagrama de bloques de la figura dibuje la señal de salida para los valores que se indican:

CLK

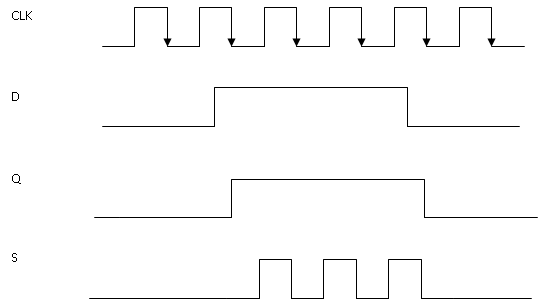
D

Q

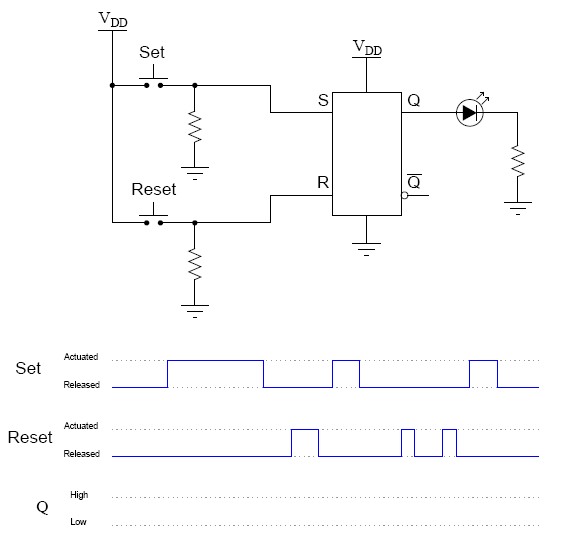


**Solución:**

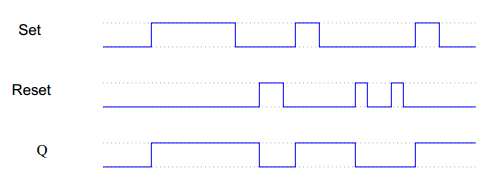
El Flip-Flop está sincronizado por la señal de reloj. Así que cuando D cambie a ALTO, Q cambiará a ALTO hasta la siguiente NGT(Negative-going transitions) del reloj. Este nivel ALTO en Q habilitará a la puerta AND para que pase los siguientes pulsos de reloj completos a la salida.



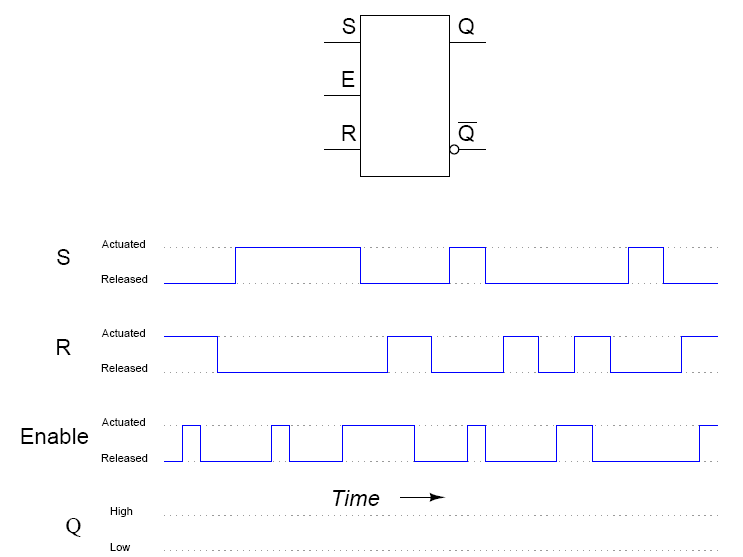
# Dado el circuito de la figura, completar el cronograma



**Solución:**



# Completar el cronograma mostrado de la salida Q. Asumir que en el estado inicial está a nivel bajo.



**Solución:**

